

15.01.03
#2日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 1月15日

出 願 番 号
Application Number:

特願2002-006670

[ST.10/C]:

[JP 2002-006670]

出 願 人
Applicant(s):

旭化成電子株式会社

REC'D 14 MAR 2003

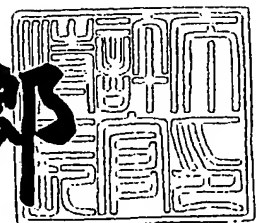
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 2月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010117

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 ASKX131496

【提出日】 平成14年 1月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 43/06

【発明の名称】 化合物半導体ホール素子

【請求項の数】 2

【発明者】

 【住所又は居所】 静岡県富士市鮫島 2 - 1 旭化成株式会社内

 【氏名】 渡辺 隆行

【発明者】

 【住所又は居所】 静岡県富士市鮫島 2 - 1 旭化成電子株式会社内

 【氏名】 氏原 剛志

【特許出願人】

 【識別番号】 000116851

 【氏名又は名称】 旭化成電子株式会社

【代理人】

 【識別番号】 100077481

 【弁理士】

 【氏名又は名称】 谷 義一

【手数料の表示】

 【予納台帳番号】 013424

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9713045

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体ホール素子

【特許請求の範囲】

【請求項1】 $\text{In}_{X1}\text{Ga}_{1-X1}\text{As}_{Y1}\text{Sb}_{1-Y1}$ ($0 \leq X1 \leq 1$ 、 $0 \leq Y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜と、金属電極層および保護層からなるホール素子において、前記金属電極層が前記半導体薄膜とは前記活性層のみで接触し、該接触面以外の半導体薄膜の上面および側面のすべてが前記保護層で直接被覆されていることを特徴とする化合物半導体ホール素子。

【請求項2】 前記半導体薄膜が GaAs または Si の基板上に形成され、前記活性層が InAs で、前記化合物半導体層が $\text{Al}_{Z1}\text{Ga}_{1-Z1}\text{As}_{Y2}\text{Sb}_{1-Y2}$ ($0 \leq Z1 \leq 1$ 、 $0 \leq Y2 \leq 0.3$) であることを特徴とする請求項1に記載の化合物半導体ホール素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体ホール素子に関し、より詳細には、 InAs などを活性層とした積層型化合物半導体のホール素子に関する。

【0002】

【従来の技術】

InAs 、 InSb 、 GaAs およびこれらの混晶半導体は、高電子移動度を有し、高感度ホール素子用材料として適している。特許第2793440号（特開平6-77556号公報）によると、 InAs 活性層を格子定数が近く禁制帯幅の大きい AlGaAsSb 層上に形成することにより高電子移動度を実現することができる。

【0003】

また、J. Vac. Sci. Technol. B16 (1998) p2644では、 InAs 上にさらに AlGaAsSb 層を形成し、 InAs 活性層を禁制帯幅の大きな化合物半導体層で挟み込む構造とすることにより、さらに高い電子

移動度を達成している。

【0004】

また、InAs 活性層を AlGaAsSb 層で挟んだホール素子のデバイス構造に関する技術としては、例えば、特開平9-116207号公報がある。ここでは、感磁部以外の半導体薄膜をすべて除去し、その感磁部全体を金属電極層の上から保護層で被覆することにより信頼性が向上すると記載されている。また、電極層は InAs 層とコンタクトしても良いし、上部 AlGaAsSb 層とコンタクトしても良いとしている。

【0005】

【発明が解決しようとする課題】

しかしながら、前述したホール素子では、不平衡電圧 (V_u) と入出力端子を 90° 回転したときの不平衡電圧 (rV_u) の絶対値が一致しないという問題があった。電流センサ等に応用されるリニアホール IC では、 90° 回転して得られる出力電圧を加算することによって、 V_u キャンセルを行い、磁界に対するホール出力の良好な直線性を実現する。 V_u と rV_u の絶対値が一致することが望ましく、実用的には、 V_u と rV_u の差の絶対値は、 0.5 mV 以内 (駆動電圧 3 V) である。したがって、前述した V_u と rV_u の不一致 (以後、 $V_u + rV_u$ バラツキと表記する) は改善されることが求められていた。

【0006】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、InAs などを活性層として高感度を実現できる積層型化合物半導体ホール素子において、 $V_u + rV_u$ バラツキの小さな化合物半導体ホール素子を提供することにある。

【0007】

【課題を解決するための手段】

本発明は、このような目的を達成するために、請求項1に記載の発明は、 $\text{In}_{X1}\text{Ga}_{1-X1}\text{As}_{Y1}\text{Sb}_{1-Y1}$ ($0 \leq X1 \leq 1$, $0 \leq Y1 \leq 1$) からなる活性層の上下に、該活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜と、金属電極層および保護層からなるホール素子において、前記

金属電極層が前記半導体薄膜とは前記活性層のみで接触し、該接触面以外の半導体薄膜の上面および側面のすべてが前記保護層で直接被覆されていることを特徴とする。

【0008】

また、請求項2に記載の発明は、請求項1に記載の発明において、前記半導体薄膜がGaAsまたはSiの基板上に形成され、前記活性層がInAsで、前記化合物半導体層が $Al_{Z1}Ga_{1-Z1}As_{Y2}Sb_{1-Y2}$ ($0 \leq Z1 \leq 1$ 、 $0 \leq Y2 \leq 0.3$)であることを特徴とする。

【0009】

かかる状況下において、本発明者らは、上述した課題を解決するために鋭意検討を重ねた結果、活性層の上下に配置された禁制帯幅の大きな化合物半導体層と金属電極層が接すると活性層以外に微弱電流が流れ、その電流量および電流経路が4箇所の端子ごとに微妙に異なることが原因で、 $V_{u+r}V_u$ バラツキが大きくなることを明らかにし、化合物半導体層全面（表面および側面）が保護層で被覆され、金属電極層が化合物半導体層と接触することなく活性層のみと接触するような素子構造とすることが、 $V_{u+r}V_u$ バラツキの小さなホール素子の作製に有効であることを見い出して本発明をなすに至った。

【0010】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

図1は、本発明の化合物半導体ホール素子の断面構造図で、図中符号1は基板、2aは第一化合物半導体層、2bは活性層、2cは第二化合物半導体層、2dは第三化合物半導体層であり、第一化合物半導体層2aおよび第二化合物半導体2cの禁制帯幅は、活性層2bより大きい。また、第一化合物半導体層2aから第三化合物半導体層2dで構成される積層体を半導体薄膜と称する。

【0011】

符号3は金属電極層であり、4は保護層である。金属電極層3は、第一化合物半導体層2a、第二化合物半導体層2cおよび第三化合物半導体層2dとは保護層4により電氣的に隔離されており、半導体薄膜2a～2dとは活性層2bのみ

と接触している。そのため、活性層 2 b に安定して電流を流すことができる。従来のホール素子は、金属電極層 3 が活性層 2 b 以外に、第一化合物半導体層 2 a、第二化合物半導体層 2 c および第三化合物半導体層 2 d とともに接触している。この点が本発明と従来のものとの相違点である。

【0012】

つまり、本発明は、 $\text{In}_{X1}\text{Ga}_{1-X1}\text{As}_{Y1}\text{Sb}_{1-Y1}$ ($0 \leq X1 \leq 1$, $0 \leq Y1 \leq 1$) からなる活性層 2 b の上下に、この活性層 2 b より大きな禁制帯幅を有する化合物半導体層 2 a, 2 c, 2 d を配置した半導体薄膜 2 a ~ 2 d と、金属電極層 3 および保護層 4 からなるホール素子において、金属電極層 3 が半導体薄膜 2 a ~ 2 d とは活性層 2 b のみで接触し、この接触面以外の半導体薄膜 2 a ~ 2 d の上面および側面のすべてが保護層 4 で直接被覆されていることを特徴としている。

【0013】

活性層 2 b の材料には、高電子移動度を有する化合物半導体が用いられる。本発明の活性層としては、 $\text{In}_{X1}\text{Ga}_{1-X1}\text{As}_{Y1}\text{Sb}_{1-Y1}$ ($0 \leq X1 \leq 1$, $0 \leq Y1 \leq 1$) で表される化合物半導体層であれば特に限定されるものではないが、素子感度、素子消費電力および温度特性を総合的に判断すると InAs が好ましい。

【0014】

また、所望の素子抵抗を得るために、必要に応じて活性層に Si、Sn などをドーピングしても良い。活性層 2 b の下側の化合物半導体層を第一化合物半導体層 2 a、上側の化合物半導体層を第二化合物半導体層 2 c と称すると、第一化合物半導体層 2 a と第二化合物半導体層 2 c は、活性層 2 b より禁制帯幅が大きければ特に限定されるものではなく、またそれぞれが異なる材料であっても良い。

【0015】

また、活性層にキャリアを供給するために、必要に応じて化合物半導体層に Si、Sn などのドーピングを行っても良い。活性層を化合物半導体層で挟み込む構造で高電子移動度が実現されるのは、活性層内の電子が閉じこめられ 2 次元的に電子が動くためである。伝導帯上端の差が大きいほど電子を効率よく閉じこめ

ることができ、活性層と化合物半導体層の禁制帯幅の差を大きくとれる組み合わせにすることが、本発明のホール素子として適している。

【0016】

具体的には、禁制帯幅の差が0.3 eV以上が好ましく、0.7 eV以上がより好ましい。十分な禁制帯幅の差を得るためにも、InAs（禁制帯幅：0.36 eV）は活性層として適しており、その場合の化合物半導体層の材料としては、AlGaAsSbが適している。表1に示すように、AlGaAsSbはその組成比により広い範囲の禁制帯幅（0.72～2.13 eV）を有しており、InAsとの格子整合性を考慮すると化合物半導体層としては $Al_{Z1}Ga_{1-Z1}As_{Y2}Sb_{1-Y2}$ （ $0 \leq Z1 \leq 1$ 、 $0 \leq Y2 \leq 0.3$ ）が好ましい。

【0017】

【表1】

半導体材料	格子定数 (Å)	禁制帯幅 (eV)
AlP	5.451	2.5
AlAs	5.661	2.13
AlSb	6.136	1.58
GaP	5.451	2.26
GaAs	5.653	1.42
GaSb	6.096	0.72
InP	5.869	1.35
InAs	6.058	0.36
InSb	6.479	0.17
Si	5.431	1.12

【0018】

この組成範囲のAlGaAsSbは、基板材料として一般的なGaAsおよびSiとは格子定数が大きく異なるが、この基板上に形成すると初期段階で格子緩和した後、AlGaAsSb特有の格子定数で高品質薄膜が形成されることが知られており、第一化合物半導体層材料として適している。

【0019】

また本発明は、半導体薄膜がGaAsまたはSiの基板上に形成され、活性層がInAsで、化合物半導体層が $Al_{Z1}Ga_{1-Z1}As_{Y2}Sb_{1-Y2}$ （

$0 \leq Z1 \leq 1$ 、 $0 \leq Y2 \leq 0.3$ であることを特徴としている。

【0020】

AlGaAsSbは、GaAs系と比較して酸化されやすく、金属電極層が形成された界面には酸素が残存し界面制御が困難であるため、電流経路は不安定となる。したがって、AlGaAsSb層を有するホール素子において、本発明の効果は特に大きくなる。また、第二化合物半導体層としてのAlGaAsSb層上に、第三化合物半導体層としてのGaAsSb層などを形成することは、表面酸化を軽減する目的でよく行われる。

【0021】

本発明における金属電極層の材料は、活性層材料に適したものを選択すれば特に限定されるものではない。例えば、活性層がInAsであればTi/Auなど、GaAsであればAuGe/Ni/Auなどがよく用いられる。また、本発明における保護層材料は特に限定されるものではなく、SiO₂、Si₃N₄などがよく用いられ、これらは単一層であっても多層であっても構わない。

【0022】

以下に、本発明の具体的な実施例について説明する。

【実施例1】

図1に示す化合物半導体ホール素子を以下の工程により作製した。

まず、半導体薄膜の作製手順について説明する。

直径2インチのGaAs基板1上に分子線エピタキシー(MBE)法により、第一化合物半導体層2aとして500nmのAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}、活性層2bとして50nmのInAs、第二化合物半導体層2cとして50nmのAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}、第三化合物半導体層2dとして5nmのGaAs_{0.02}Sb_{0.98}を順次成膜することにより半導体薄膜2を形成した。

【0023】

Al_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}の禁制帯幅は、およそ1.2eVであり、InAsの0.36eVと比較して十分大きな値である。半導体薄膜2の電気特性をvan der Pauw法を用いて測定したところ、電

子移動度が $22000 \text{ cm}^2/\text{Vs}$ 、シート抵抗が 360Ω 、シート電子濃度が $7.9 \times 10^{11} \text{ cm}^{-2}$ であった。

【0024】

次に、ウェハプロセスについて説明する。

まず、InAs層を露出させるためのレジストパターンをフォトリソグラフィ法を用いて形成した。不要なGaAs_{0.02}Sb_{0.98}層とAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}層のエッチングは、アルカリ性のレジスト現像液を用いてレジスト現像から連続して行い、その後レジストを除去した。InAs層は現像液でエッチングされないため、InAs層表面でエッチングは停止する。

【0025】

次に、感磁部の形状をしたレジストパターンを形成し、これをマスクとしてイオンミリング法によりGaAs基板までメサエッチングを行い感磁部を形成した後、レジストを除去した。次に、ウェハ全面にプラズマCVD法を用いて、保護層4としてのSi₃N₄を300nm形成した。金属電極層がInAs層と接触する部分とパッド部分が開口部となっているレジストパターンをこのSi₃N₄層上に形成した後、CF₄とO₂の混合ガスを用いた反応性イオンエッチング法によりSi₃N₄層の不要部分をエッチングした。

【0026】

その後、レジストを除去し、さらに、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層3のパターンを形成した。最後に、ウェハにAr雰囲気中で250℃、2時間のアニールを施して化合物半導体ホール素子を製作した。

【0027】

このような方法でウェハ上に多数製作した化合物半導体ホール素子の感磁部の長さ（対向した電極間長）は95μm、幅は35μmである。50mTの磁場中で3Vの入力電圧を加えてホール素子の感度を測定したところ、120mVの出力電圧が得られた。

【0028】

ウェハ内に製作した13500個のホール素子の入力抵抗 R_{in} 、不平衡電圧 V_u および 90° 回転した不平衡電圧 rV_u をオートプロバ（自動測定器）により測定した。 R_{in} の測定は入力電流0.1mAで、 V_u および rV_u の測定は入力電圧3Vで行った。 R_{in} の平均値は 820Ω であった。また、 $V_u + rV_u$ バラツキは、図3（a）に示される分布を有し、 $\sigma = 0.18\text{mV}$ と小さく、また0.5mVを越える素子はなかった。

【0029】

〔比較例1〕

図2に示す従来の化合物半導体ホール素子を以下の工程により作製した。半導体薄膜の層構成および作製手順は、上述した実施例1と同じである。ウェハプロセスの手順について以下に説明する。なお、図中符号11は基板、12aは第一化合物半導体層、12bは活性層、12cは第二化合物半導体層、12dは第三化合物半導体層、13は金属電極層、14は保護層である。

【0030】

まず、感磁部の形状をしたレジストパターンを、フォトリソグラフィー法を用いて形成し、これをマスクとしてイオンミリング法によりGaAs基板までメサエッチングを行い感磁部を形成した後、レジストを除去した。

【0031】

次いで、InAs層を露出させるためのレジストパターンをフォトリソグラフィー法を用いて形成した。不要なGaAs_{0.02}Sb_{0.98}層とAl_{0.57}Ga_{0.43}As_{0.04}Sb_{0.96}層のエッチングは、アルカリ性のレジスト現像液を用いてレジスト現像から連続して行い、その後、レジストを除去した。InAs層は現像液でエッチングされないため、InAs層表面でエッチングは停止する。

【0032】

次に、真空蒸着法によりTi層100nm、Au層600nmを連続蒸着し、通常のリフトオフ法により金属電極層13のパターンを形成した。その後、ウェハ全面にプラズマCVD法を用いて、保護層14としてのSi₃N₄を300nm形成した。パッド部分が開口部となっているレジストパターンを該Si₃N₄

層上に形成した後、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングした。レジストを除去した後、ウェハにAr雰囲気中で 250°C 、2時間のアニールを施してホール素子を製作した。

【0033】

このような方法でウェハ上に多数製作した化合物半導体ホール素子の感磁部の長さ（対向した電極間長）は $95\mu\text{m}$ 、幅は $35\mu\text{m}$ である。感度は実施例1と同じ 120mV が得られた。

【0034】

ウェハ内に製作した13500個のホール素子の入力抵抗 R_{in} 、不平衡電圧 V_u および 90° 回転した不平衡電圧 rV_u の測定を実施例1と同様に行った。 R_{in} の平均値は 820Ω と実施例1と同じであった。 $V_u + rV_u$ バラツキは、図3（b）示される分布を有し、 $\sigma = 0.76\text{mV}$ と実施例1と比較して極めて大きく、 0.5mV を越える素子が多かった。

【0035】

〔実施例2〕

上述した実施例1と層構成の異なる半導体薄膜で、図1に示す化合物半導体ホール素子を作製する工程について以下に説明する。

まず、半導体薄膜の作製手順について説明する。

直径2インチのGaAs基板1上に分子線エピタキシー（MBE）法により、第一化合物半導体層2aとして 500nm の $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ 、活性層2bとして 50nm の $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 、第二化合物半導体層2cとして 50nm の $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ 、第三化合物半導体層2dとして 10nm のGaAsを順次成膜することにより半導体薄膜2を形成した。

【0036】

第二化合物半導体層2cの $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ は、活性層側から 10nm がノンドープ層で、第三化合物半導体層側の 40nm をSiドープ層とした。 $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ の禁制帯幅はおよそ 1.8eV であり、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ の 1.4eV と比較して十分大きな値である。半導体

薄膜2の電気特性をvan der Pauw法を用いて測定したところ、電子移動度が $7500 \text{ cm}^2/\text{Vs}$ 、シート抵抗が 1200Ω 、シート電子濃度が $7.0 \times 10^{11} \text{ cm}^{-2}$ であった。

【0037】

次に、ウェハプロセスについて説明する。

まず、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層を露出させるためのレジストパターンをフォトリソグラフィー法を用いて形成した。不要な GaAs 層と $\text{Al}_{0.50}\text{Ga}_{0.50}\text{As}$ 層のエッチングはイオンミリング法により行い、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層の途中でエッチングを停止した。その後、レジストを除去した。

【0038】

次いで、感磁部の形状をしたレジストパターンを形成し、これをマスクとしてイオンミリング法により GaAs 基板までメサエッチングを行い感磁部を形成した後、レジストを除去した。次に、ウェハ全面にプラズマCVD法を用いて、保護層4としての Si_3N_4 を 300 nm 形成した。金属電極層が $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 層と接触する部分とパッド部分が開口部となっているレジストパターンを該 Si_3N_4 層上に形成した後、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングした。

【0039】

その後、レジストを除去し、さらに、真空蒸着法により AuGe 層 250 nm 、 Ni 層 50 nm 、 Au 層 350 nm を連続蒸着し、通常のリフトオフ法により金属電極層3のパターンを形成した。最後に、ウェハに N_2 雰囲気中で 400°C 、5分間のアニールを施してホール素子を製作した。

【0040】

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は $80 \mu\text{m}$ 、幅は $40 \mu\text{m}$ である。 50 mT の磁場中で 3 V の入力電圧を加えてホール素子の感度を測定したところ、 50 mV の出力電圧が得られた。

【0041】

ウェハ内に製作した13500個のホール素子の入力抵抗 R_{in} 、不平衡電圧 V_u および 90° 回転した不平衡電圧 rV_u の測定を実施例1と同様に行った。 R_{in} の平均値は2000 Ω であった。また、 $V_u + rV_u$ バラツキは、 $\sigma = 0.15$ mVと小さく、また0.5 mVを越える素子はなかった。

【0042】

[比較例2]

上述した実施例2と層構成の同じ半導体薄膜で、図2に示す化合物半導体ホール素子を作製する工程について以下に説明する。半導体薄膜の作製手順は実施例2と同じである。ウェハプロセスの手順を以下に説明する。

まず、感磁部の形状をしたレジストパターンをフォトリソグラフィー法を用いて形成し、これをマスクとしてイオンミリング法によりGaAs基板までメサエッチングを行い感磁部を形成した後、レジストを除去した。次いで、 $In_{0.05}Ga_{0.95}As$ 層を露出させるためのレジストパターンをフォトリソグラフィー法を用いて形成した。不要なGaAs層と $Al_{0.50}Ga_{0.50}As$ 層のエッチングは、イオンミリング法により行い、 $In_{0.05}Ga_{0.95}As$ 層の途中でエッチングを停止した。その後、レジストを除去した。

【0043】

次に、真空蒸着法によりAuGe層250 nm、Ni層50 nm、Au層350 nmを連続蒸着し、通常のリフトオフ法により金属電極層13のパターンを形成した。次いで、ウェハに N_2 雰囲気中で400 $^\circ C$ 、5分間のアニールを施した後、ウェハ全面にプラズマCVD法を用いて、保護層14としての Si_3N_4 を300 nm形成した。パッド部分が開口部となっているレジストパターンをこの Si_3N_4 層上に形成した後、 CF_4 と O_2 の混合ガスを用いた反応性イオンエッチング法により Si_3N_4 層の不要部分をエッチングし、最後にレジストを除去した。

【0044】

このような方法でウェハ上に多数製作したホール素子の感磁部の長さ（対向した電極間長）は80 μm 、幅は40 μm である。感度は実施例2と同じ50 mVが得られた。

【0045】

ウェハ内に製作した13500個のホール素子の入力抵抗 R_{in} 、不平衡電圧 V_u および 90° 回転した不平衡電圧 rV_u の測定を実施例1と同様に行った。 R_{in} の平均値は 2000Ω と実施例2と同じであった。 $V_u + rV_u$ バラツキは、 $\sigma = 0.30\text{mV}$ と実施例2と比較して大きく、 0.5mV を越える素子が確認された。

【0046】

【発明の効果】

以上説明したように本発明によれば、 $\text{In}_{X1}\text{Ga}_{1-X1}\text{As}_{Y1}\text{Sb}_{1-Y1}$ ($0 \leq X1 \leq 1$ 、 $0 \leq Y1 \leq 1$) からなる活性層の上下に、活性層より大きな禁制帯幅を有する化合物半導体層を配置した半導体薄膜と、金属電極層および保護層からなるホール素子において、金属電極層が半導体薄膜とは活性層のみで接触し、接触面以外の半導体薄膜の上面および側面のすべてが保護層で直接被覆されているので、活性層の上下に配置された禁制帯幅の大きな化合物半導体層全面（表面および側面）が保護層で被覆され、金属電極層が化合物半導体層と接触することなく活性層のみと接触することにより、電流が安定して活性層を流れる素子構造を実現したため、 $V_u + rV_u$ バラツキの小さな化合物半導体ホール素子を提供することができる。

【図面の簡単な説明】

【図1】

本発明における化合物半導体ホール素子の一例を示す断面図である。

【図2】

従来構造を有する化合物半導体ホール素子の断面図である。

【図3】

$rV_u + V_u$ バラツキを示すヒストグラムを示す図で、(a)は本発明におけるホール素子、(b)は従来構造を有するホール素子の場合を示している。

【符号の説明】

- 1, 11 基板
- 2, 12 半導体薄膜

2 a, 1 2 a 第一化合物半導體層

2 b, 1 2 b 活性層

2 c, 1 2 c 第二化合物半導體層

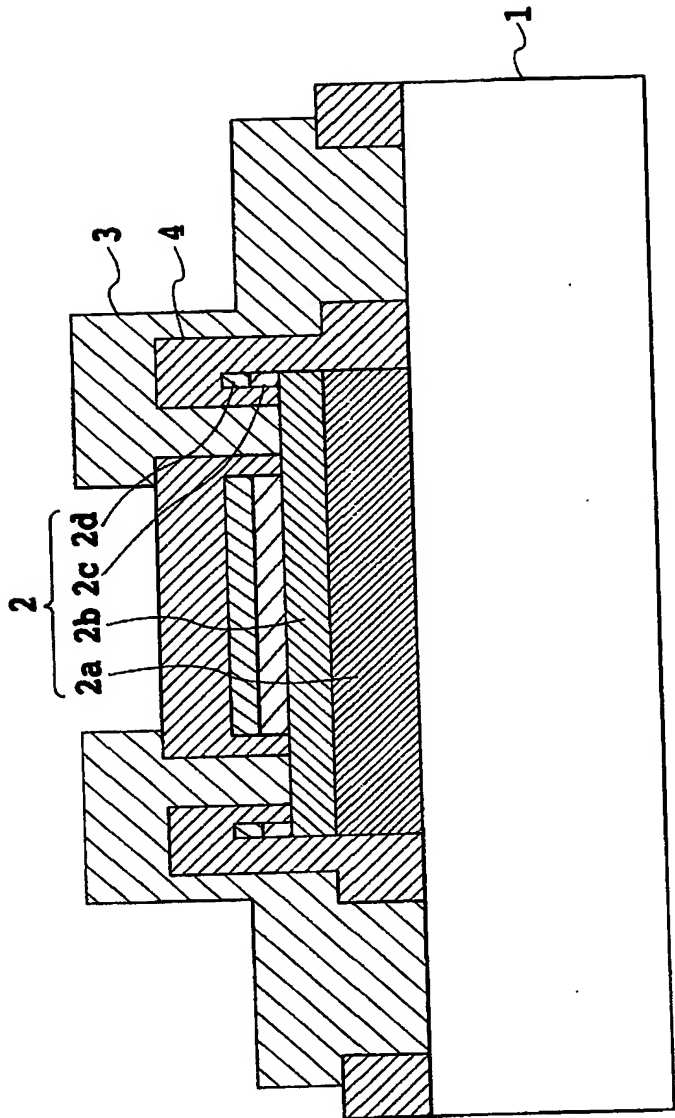
2 d, 1 2 d 第三化合物半導體層

3, 1 3 金屬電極層

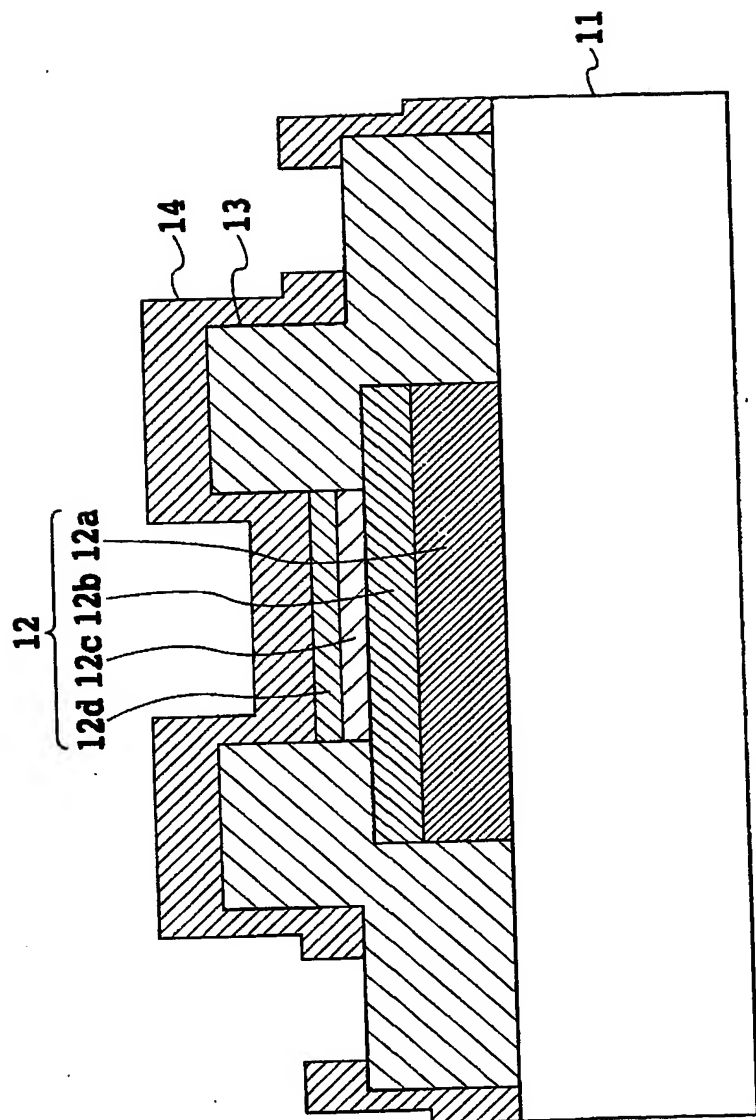
4, 1 4 保護層

【書類名】 図面

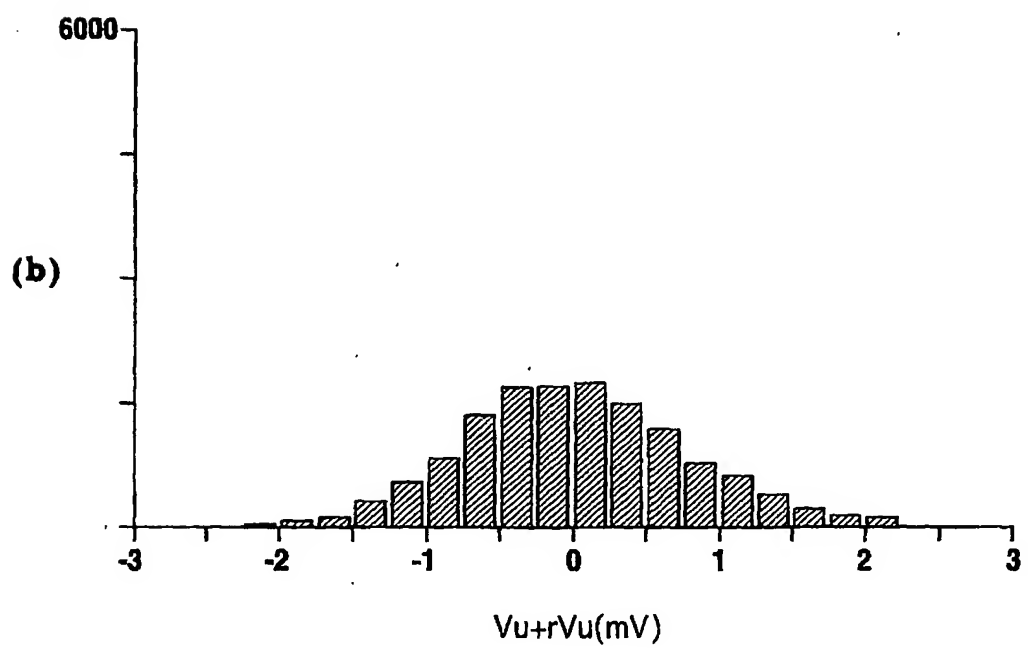
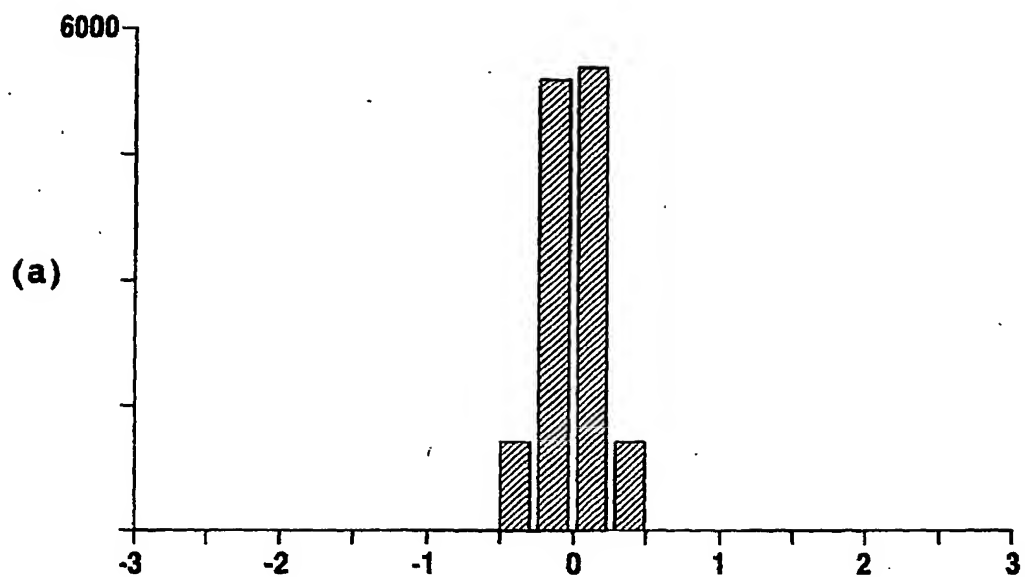
【図 1】



【図 2】



【図3】



【書類名】 要約書

【要約】

【課題】 InAs などを活性層として高感度を実現でき、 $V_u + r V_u$ バラツキの小さな化合物半導体ホール素子を提供すること。

【解決手段】 第一化合物半導体層 2 a と第二化合物半導体層 2 c の間に配置されたそれらより禁制帯幅の小さな化合物半導体を活性層 2 b とした化合物半導体ホール素子である。活性層 2 b の一部が露出された状態で、第一化合物半導体層 2 a、第二化合物半導体層 2 c および第三化合物半導体層 2 d のすべての面を保護層 4 で被覆し、金属電極層 3 とのコンタクトのために保護層の一部を除去した後、金属電極層 3 を形成することにより、金属電極層 3 が半導体薄膜 2 とは活性層 2 b のみで接触するホール素子を作製することができる。これにより、不平衡電圧 V_u と入出力端子を 90° 回転したときの不平衡電圧 $r V_u$ の絶対値が一致する、言い換えると $V_u + r V_u$ バラツキの小さなホール素子を実現できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 {000116851}

1. 変更年月日	1999年11月19日
[変更理由]	住所変更
住 所	東京都墨田区錦糸三丁目2番1号
氏 名	旭化成電子株式会社